

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-121535

(43)Date of publication of application : 06.05.1997

(51)Int.Cl.

H02M 3/155

(21)Application number : 07-281056

(71)Applicant : SHARP CORP

(22)Date of filing : 27.10.1995

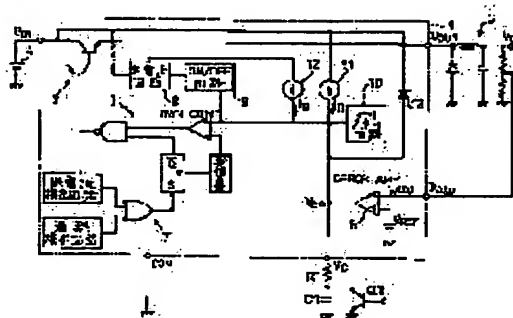
(72)Inventor : WARITA HIROHISA
IZUMI HIRONOBU

(54) SWITCHING REGULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to use a low consumption current function during OFF from terminals for connecting capacitors by commonly using externally attached capacitors for phase compensation and soft start.

SOLUTION: Vc terminal for a switching regulator IC1 is grounded through a resistor R1 and a capacitor C1 attached externally. Also, a collector of an NPN transistor Q1 with the emitter grounded is connected to a connecting point between the resistor R1 and the capacitor C1. Inside the IC1, an output of an error amplifier 6 is connected to Vc terminal. In response to the voltage VEA of said output, a soft start circuit 10 limits the conducting time of a switching element 2, and ON/OFF circuit 9 controls the ON/OFF of a constant voltage circuit 8. Moreover, a first constant current source 11 always applies a second constant current 12, and a constant current is supplied to said output during the operation of the constant voltage circuit 8.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-121535

(43) 公開日 平成9年(1997)5月6日

(51) Int. Cl.⁶

H 0 2 M 3/155

識別記号

庁内整理番号

F I

H 0 2 M 3/155

技術表示箇所

H

B

審査請求 未請求 請求項の数 3 O L (全 16 頁)

(21) 出願番号 特願平7-281056

(22) 出願日 平成7年(1995)10月27日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 和里田 浩久

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 出水 啓修

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

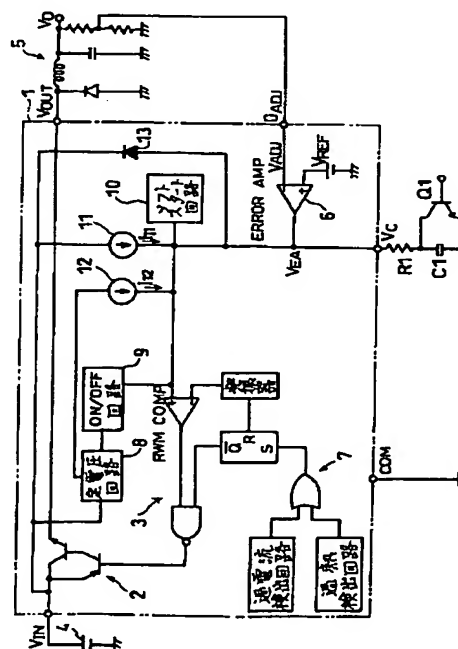
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 スイッチングレギュレータ

(57) 【要約】

【課題】 位相補償用およびソフトスタート用の外付けコンデンサを共用し、上記コンデンサ接続用の端子により、オフ時の低消費電流機能も利用できるスイッチングレギュレータを提供する。

【解決手段】 スイッチングレギュレータ用IC1のV_e端子は、外付けの抵抗R1とコンデンサC1とを介して接地されている。また、エミッタが接地されたNPNトランジスタQ1のコレクタは、上記抵抗R1とコンデンサC1との接続点に接続される。IC1内部では、エラーアンプ6の出力がV_e端子へ接続されている。上記出力の電圧V_eに応じて、ソフトスタート回路10は、スイッチング素子2の導通時間を制限し、オン/オフ回路9は、定電圧回路8のオン/オフを制御する。さらに、第1定電流源11は、上記出力へ定電流を常時流し込み、第2定電流源12は、定電圧回路8の動作中に上記出力へ定電流を供給する。



【特許請求の範囲】

【請求項1】 負荷へ供給する電力に応じた帰還電圧と所定の基準電圧とを比較し、誤差に応じた電圧を出力する誤差検出手段と、

上記誤差検出手段の出力電圧を低下させ、電力供給の休止を指示する休止指示手段と、

上記誤差検出手段の出力電圧に応じて、負荷へ電力を供給するか否かを制御する出力制御手段と、

電力供給を休止している場合には、電力を供給している場合に比べて消費する電流を低減する低消費電流手段と、

電力供給を開始した際に、上記誤差検出手段の出力電圧が所定の電圧に達するまで、負荷へ電力を供給する時間を制限するソフトスタート手段と、

上記誤差検出手段の出力へ所定の電流を流し込む定電流源とを備えたスイッチングレギュレータにおいて、

上記誤差検出手段の出力は、直列に接続された抵抗および容量を介して接地され、当該誤差検出手段の出力に生じる位相遅れを補償すると共に、

上記定電流源は、低消費電流手段が消費電流を低減している場合に供給するオフ時の電流値を、低減していない場合の電流値であるオン時の電流値に比べて低く設定していることを特徴とするスイッチングレギュレータ。

【請求項2】 上記定電流源は、一定の電流を常に供給する第1定電流源と、上記低消費電流手段が消費電流を低減していない場合に所定の定電流を供給する第2定電流源とを備えていることを特徴とする請求項1記載のスイッチングレギュレータ。

【請求項3】 上記定電流源は、上記オン時の電流値に対するオフ時の電流値の比率を、0.3以上、0.4以下に設定していることを特徴とする請求項1または2記載のスイッチングレギュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、外付けの抵抗および容量による位相補償を行うスイッチングレギュレータに関し、特に、オフ時の低消費電流機能、および、電源投入時のソフトスタート機能を有するスイッチングレギュレータに関するものである。

【0002】

【従来の技術】 直流電流を高周波でスイッチングした後、平滑化して負荷へ供給することにより、入力電圧を所望の電圧へ変圧するスイッチングレギュレータは、小型、軽量、かつ高効率な電源装置として従来より広く使われている。

【0003】 これらスイッチングレギュレータでは、負荷へ印加する電圧から得た帰還電圧と一定の基準電圧とを比較し、比較結果に応じて、スイッチング素子の導通／遮断の割合を変化させて、負荷が変動した場合でも所望の電圧を維持している。

【0004】 近年では、上記の比較動作と、それに基づいたスイッチング素子の制御とを行うスイッチングレギュレータ用のIC(Integrated circuit)も普及している。また、スイッチング素子自体を取り込んだICも製作されている。これらのICを利用することによって、スイッチングレギュレータを構成する部品の数を削減でき、高い信頼性を持つ高精度なスイッチングレギュレータを容易に製作できる。

【0005】 これらのスイッチングレギュレータ用ICには、スイッチングレギュレータを容易に製作し、利用できるように、端子数や外付け部品数の削減が要求される一方で、さらなる高機能化が求められており、種々の機能が付加されたICも製作されている。付加される機能の一例としては、通常の電力供給とは別に、付加への電力供給を休止するか否かを外部から制御するオン／オフ機能、さらに、電力供給を休止している場合に消費する電力を低減するオフ時の低消費電流機能などが挙げられる。

【0006】 また、負荷への電力供給を開始してからスイッチングレギュレータが安定するまでの過渡期には、負荷へ印加する電圧が低いため、スイッチング素子の導通時間の割合は、通常より高くなりがちである。加えて、例えば、負荷へ供給する電力を平滑化するために設けたコンデンサへの充電電流などによって、スイッチングレギュレータの出力電流は、通常より大きくなりやすく、スイッチングレギュレータを損傷する虞れがある。したがって、上記過渡期において、スイッチング素子の導通時間を制限し、負荷へ供給する電圧を緩やかに上昇させるソフトスタート機能を設けたスイッチングレギュレータ用ICも使用されている。

【0007】 ここで、オフ時の低消費電流機能とソフトスタート機能とを有する従来のスイッチングレギュレータについて説明する。上記スイッチングレギュレータは、例えば、1[A]程度の低出力の降圧型スイッチングレギュレータであり、図9に示すように、主として、スイッチングレギュレータ用のIC51から構成されている。上記IC51は、スイッチング素子52と、スイッチング素子52の導通／遮断を制御する制御部53とを備えており、IC51の V_{IN} 端子を介して外部の入力電源54から供給される電流を断続して V_{OUT} 端子へ出力している。この V_{OUT} 端子には、リアクタンスやコンデンサ、ダイオードなどからなる平滑化回路55が接続されており、 V_{OUT} 端子より断続して供給される電流を平滑化し、 V_{L} 端子を介して図示しない負荷へ出力する。

【0008】 一方、IC51内部に設けられたエラーアンプ56は、出力端子 V_{L} の電圧を分圧して得られる帰還電圧 V_{FB} と基準電圧 V_{REF} とを比較し、両者の誤差に応じた電圧 V_{EA} を出力する。制御回路53は、発振器が出力する三角波と出力電圧 V_{EA} とを比較し、帰還電圧

V_{A0} と基準電圧 V_{ref} との誤差が少なくなるようにスイッチング素子52の導通/遮断を制御する。これにより、スイッチングレギュレータは、負荷の重さに関わりなく一定の電圧を V_o 端子から出力できる。

【0009】また、IC51には、電力供給の休止を外部から指示するための V_{cs} 端子が設けられ、IC51は、その内部電源である定電圧回路58の動作/非動作を V_{cs} 端子の電位に応じて制御するオン/オフ回路59、 V_{cs} 端子の電位に応じ、エラーアンプ56の出力電圧を制御するソフトスタート回路60、および、 V_{cs} 端子を介して外付けしたコンデンサC51へ電荷を蓄積するための定電流源61を備えている。さらに、上記IC51の V_{cs} 端子は、コンデンサC51を介して接地されていると共に、当該コンデンサC51の一端にコレクタが、他端にエミッタが接続されたNPNトランジスタQ51が設けられている。

【0010】例えば、上記トランジスタQ51を導通させるなどして、 V_{cs} 端子の電位を下げると、上記オン/オフ回路59は定電圧回路58を休止させる。これにより、スイッチングレギュレータの動作を外部から休止できると共に、IC51が消費する電力を低減でき、オフ時の低消費電流機能を実現できる。

【0011】一方、トランジスタQ51を遮断すると、定電流源61は、抵抗を介してコンデンサC51へ電荷を蓄積し、 V_{cs} 端子の電位は、コンデンサC51と抵抗によって決まる時定数で上昇する。ソフトスタート回路60は、 V_{cs} 端子の電位を監視し、エラーアンプ56の出力電圧 V_{ea} が所定のソフトスタートレベルから所定の安定動作レベルに達するまで、例えば、上記 V_{ea} を上げるなどして、制御回路53が制御するスイッチング素子52の導通時間を制限する。これにより、スイッチングレギュレータが負荷への電力供給を開始してから一定の時間、スイッチング素子52の導通時間は制限され、ソフトスタート機能を実現できる。

【0012】また、エラーアンプ56の位相補償は、図10に示すように、IC51内部に設けられた抵抗 R_{e1} 、 R_{e2} 、およびコンデンサ C_{e1} によって行われている。図9に示すスイッチングレギュレータでは、その出力が低い場合、コンデンサなどを外付けすることなく、内部回路によって位相を補償できる。

【0013】ところが、例えば、3[A]程度の出力のスイッチングレギュレータの場合、IC51内部の位相補償回路では、エラーアンプ56の位相遅れを十分に補償できなくなる。すなわち、高出力のスイッチングレギュレータでは、エラーアンプ56の位相遅れが大きくなり、例えば、数百[pF]程度と比較的大きな容量のコンデンサを位相補償用に必要とする。それゆえ、このコンデンサをIC51内部に設けた場合、チップサイズが大きくなり、コストが高くなるなどの問題を生じる。

【0014】したがって、図11に示すように、図9に

示すIC51に変えて、スイッチングレギュレータ用のIC71を用いた高出力のスイッチングレギュレータでは、エラーアンプ56の反転入力端子と出力との間に抵抗R71およびコンデンサC71を外付けして位相補償を行っている。抵抗R71およびコンデンサC71により、エラーアンプ56の出力は、ゲインが落ちてくる点において位相が戻り、位相遅れを補償できる。

【0015】ICの端子数を増加させずに、上記抵抗R71およびコンデンサC71を取り付けるため、上記IC71には、図9に示す V_{cs} 端子に代えて、エラーアンプ56の出力に接続された V_{cs} 端子が設けられており、IC71のオン/オフ回路59およびソフトスタート回路60は、 V_{cs} 端子の電位、すなわち、エラーアンプ56の出力電圧 V_{ea} を監視して動作する。

【0016】このスイッチングレギュレータにオフ時の低消費電流機能を付加する場合、例えば、図12に示すように、コレクタがIC71の V_{cs} 端子に接続され、エミッタが接地されたNPNトランジスタQ71をIC71に外付けする。このトランジスタQ71のベースに所定の電圧を印加すると、該トランジスタQ71は導通し、エラーアンプ56の出力電位 V_{ea} は略GNDレベルとなる。オン/オフ回路59は、この電圧 V_{ea} を監視しており、 V_{ea} が所定のオフレベルに満たない場合、定電圧回路58を停止させる。この結果、スイッチングレギュレータのオン/オフを外部から制御できると共に、オフ時の低消費電流機能を実現できる。

【0017】一方、図11に示すスイッチングレギュレータにソフトスタート機能を付加する場合、図13に示すように、ダイオードD172およびコンデンサC72をIC71へ外付けする。ダイオードD172は、IC71の V_{cs} 端子とコンデンサC72との間に介在し、コンデンサC72から V_{cs} 端子へ流れる電流を遮断している。なお、コンデンサC72の他端は接地されている。

【0018】図11に示す入力電源54を投入すると、IC71の定電流源61は、 V_{cs} 端子およびダイオードD172を介して、コンデンサC72へ所定の電流 I_{s1} [A] を供給する。したがって、 V_{cs} 端子の電位、すなわち、エラーアンプ56の出力電圧 V_{ea} は、コンデンサC72をC[F]とすると、電流の供給開始から時間 t [秒] が経過するに伴って、 $V_{ea} = t \cdot I_{s1} / C$ [V] の通りに上昇する。

【0019】ソフトスタート回路60は、エラーアンプ56の出力電圧 V_{ea} が所定の安定出力レベルに達するまで、制御回路53が制御するスイッチング素子52の導通時間を制限し、ソフトスタート機能を実現される。

【0020】また、上記ダイオードD172およびコンデンサC72の接続点と、入力電圧 V_{in} との間には、ダイオードD173および抵抗R73が並列に設けられている。これにより、入力電圧 V_{in} が低下した場合、容量C72に蓄積された電荷は、ダイオードD173を介し

て放出される。

【0021】

【発明が解決しようとする課題】しかしながら、図11に示す構成のスイッチングレギュレータにおいては、図12に示すようにオフ時の低消費電流機能を実現するか、図13に示すようにソフトスタート機能を実現するかを、 V_{cs} 端子へ外付けする回路によって選択する必要がある。したがって、 V_{cs} 端子のみに外付けする回路で、位相補償、オフ時の低消費電流機能、および、ソフトスタート機能の3者を実現することができないという問題を生じている。

【0022】上記の問題を解決するために、例えば図13に示すコンデンサC72の電荷を放出するトランジスタを設けることも考えられる。ところが、ダイオードD172の電圧降下のため、オン/オフ回路59のオフレベルを予め高く設定する必要がある。したがって、前述したソフトスタート回路60のソフトスタートレベル、および、制御回路53の発振器が出力する三角波のローレベルを、図11の構成のスイッチングレギュレータに比べ、それぞれ高く設定する必要がある。この結果、スイッチングレギュレータの消費電力が上昇するという問題が新たに生じる。

【0023】本発明は、上記の問題点を鑑みてなされたものであり、その目的は、位相補償用およびソフトスタート用の外付けコンデンサを共用し、上記コンデンサを接続する1端子で、位相補償と、オフ時の低消費電流機能と、ソフトスタート機能とを行うことができるスイッチングレギュレータを提供することにある。

【0024】

【課題を解決するための手段】請求項1の発明に係るスイッチングレギュレータは、上記課題を解決するために、負荷へ供給する電力に応じた帰還電圧と所定の基準電圧とを比較し、誤差に応じた電圧を出力する誤差検出手段と、上記誤差検出手段の出力電圧を低下させ、電力供給の休止を指示する休止指示手段と、上記誤差検出手段の出力電圧に応じて、負荷へ電力を供給するかどうかを制御する出力制御手段と、電力供給を休止している場合には、電力を供給している場合に比べて消費する電流を低減する低消費電流手段と、電力供給を開始した際に、上記誤差検出手段の出力電圧が所定の電圧に達するまで、負荷へ電力を供給する時間を制限するソフトスタート手段と、上記誤差検出手段の出力へ所定の電流を流し込む定電流源とを備えたスイッチングレギュレータにおいて、以下の手段を講じたことを特徴としている。

【0025】すなわち、上記誤差検出手段の出力は、直列に接続された抵抗および容量を介して接地され、当該誤差検出手段の出力に生じる位相遅れを補償すると共に、上記定電流源は、低消費電流手段が消費電流を低減している場合に供給するオフ時の電流値を、低減していない場合の電流値であるオン時の電流値に比べて低く設

定している。

【0026】なお、上記休止指示手段は、例えば、トランジスタなどにより構成され、容量に蓄積された電荷を逃がすことにより、上記誤差検出手段の出力電圧を低下させることができる。

【0027】以上の構成において、スイッチングレギュレータの動作時には、誤差検出手段の出力に接続された容量には、電荷が蓄積されており、誤差検出手段の出力を安定動作レベルに保っている。また、誤差検出手段の出力に生ずる位相遅れは、上記容量と抵抗とにより補償されている。

【0028】電力供給の休止を指示する場合、休止指示手段は、誤差検出手段の出力を低下させる。この状態では、出力制御手段は、負荷への電力供給を停止させていると共に、低消費電流手段は、例えば、スイッチングレギュレータが備える発振器などの使用しない回路を停止させるなどして消費する電流を低減している。また、定電流源は、オフ時の電流値に保たれた定電流を誤差検出手段の出力へ流し込んでいる。加えて、誤差検出手段の出力電圧は、休止指示手段により低下しているので、誤差検出手段の出力に接続された容量には電荷が蓄積されていない。この結果、スイッチングレギュレータの電力供給のオン/オフを外部から制御できると共に、オフ時にスイッチングレギュレータが消費する電流を低減できる。

【0029】休止指示手段が電力供給の休止を指示しなくなると、定電流源が容量へ流しこむオフ時の定電流によって、誤差検出手段の出力電圧は徐々に上昇する。当該出力電圧が上昇すると、出力制御手段は、負荷への電力供給を開始させる。また、電力の供給が始まっているので、低消費電流手段は、スイッチングレギュレータの消費電流を低減していない。これにより、定電流源は、オフ時に比べ大きなオン時電流値に設定された定電流を誤差検出手段の出力へ出力する。したがって、上記容量の両端電圧、すなわち、誤差検出手段の出力電圧は、オフ時に比べて急激に上昇する。

【0030】一方、ソフトスタート手段は、誤差検出手段の出力電圧を監視し、負荷への電力供給を開始してから出力電圧が所定の安定動作レベルに達するまでの期間、例えば、スイッチング素子の導通時間を制御するなどして、負荷へ電力を供給する時間を制限する。これにより、負荷への電力供給を開始してからスイッチングレギュレータの動作が安定するまでの期間、スイッチングレギュレータを流れる電流量を制限でき、ソフトスタート機能を実現できる。

【0031】それゆえ、位相補償用の容量とソフトスタート用の容量とを共用でき、この容量を接続する誤差検出手段の出力を用いて、スイッチングレギュレータのオン/オフ制御機能、およびオフ時の低消費電流機能を行える。したがって、位相補償、オフ時の低消費電流機

能、およびソフトスタート機能の全てを、誤差検出手段の出力を用いて行うスイッチングレギュレータを実現できる。

【0032】また、位相補償用の容量およびソフトスタート用の容量を共用できるので、誤差検出手段とは別に設けられる容量の数を削減でき、スイッチングレギュレータの部品数を削減できる。この結果、上記各機能を併せ持つ高性能なスイッチングレギュレータの製作が容易になり、製作時のコストを低減できると共に、信頼性を向上できる。

【0033】さらに、上記誤差検出手段や定電流源を含むスイッチングレギュレータの各回路をIC内に集積した場合、誤差検出手段の出力に接続された端子を1つ設けるだけで上記各機能を実現できる。したがって、端子の数を増加させることなく、上記各機能を持つスイッチングレギュレータを作成できる。

【0034】加えて、上記定電流源では、オン時の電流値に比べてオフ時の電流値が低く設定されているので、負荷への電力供給を開始するように休止指示手段が指示してから実際に電力供給するまでの時間、すなわち、応答時間の短縮と、オフ時の消費電流の低減との双方を満足したスイッチングレギュレータを実現できる。

【0035】請求項2の発明に係るスイッチングレギュレータは、上記課題を解決するために、請求項1の発明の構成において、上記定電流源は、一定の電流を常に供給する第1定電流源と、上記低消費電流手段が消費電流を低減していない場合に所定の定電流を供給する第2定電流源とを備えていることを特徴としている。

【0036】低消費電流手段が消費電流を低減している場合には、第2定電流源を停止できるので、オフ時におけるスイッチングレギュレータの消費電流をさらに削減できる。

【0037】請求項3の発明に係るスイッチングレギュレータは、上記課題を解決するために、請求項1または2の発明の構成において、上記定電流源は、上記オン時の電流値に対するオフ時の電流値の比率を、0.3以上、0.4以下に設定していることを特徴としている。

【0038】それゆえ、上記オフ時の消費電流の低減と応答時間の短縮との双方をより満足するスイッチングレギュレータを実現できる。

【0039】

【発明の実施の形態】本発明の一実施形態について、図1ないし図8に基づき説明すると以下の通りである。

【0040】図1に示すように、本実施形態に係る降圧型スイッチングレギュレータは、主としてスイッチングレギュレータ用のIC1から構成されている。上記IC1は、 V_{in} 端子と V_{out} 端子間に介在するダーリントン接続されたトランジスタなどからなるスイッチング素子2を備えており、このスイッチング素子2の導通/遮断を制御部3により制御している。これにより、 V_{in} 端子

に接続された入力電源4から供給される直流電流は断続して V_{out} 端子へ供給される。IC1の V_{out} 端子には、リアクタンスやコンデンサ、ダイオードなどからなる平滑化回路5が接続されており、 V_{out} 端子より断続して供給される電流を平滑化し、 V_c 端子を介して図示しない負荷へ出力する。

【0041】一方、出力端子 V_c の電圧を分圧して得られる帰還電圧 V_{fb} は、IC1の 0_{fb} 端子を介して、IC1内部に設けられたエラーアンプ（誤差検出手段）6の反転入力端子へ印加される。また、エラーアンプ6の非反転入力端子へは、IC1内部で生成された基準電圧 V_{ref} が印加される。エラーアンプ6は、 V_{ref} に対する V_{fb} の誤差に応じた電圧を出力し、制御回路3は、エラーアンプ6の出力電圧 V_{ea} に基づいて、両者の誤差が少なくなるようにスイッチング素子2の導通/遮断を制御する。これにより、スイッチングレギュレータは、負荷の重さに関わりなく一定の電圧を V_c 端子から出力できる。

【0042】さらに、上記IC1は、過電流検出回路や過熱検出回路などから構成された保護回路7を備えている。IC1に異常が生ずると保護回路7が作動し、例えば、制御回路3にスイッチング素子2を遮断させるなどして、スイッチングレギュレータ自体や負荷を保護している。

【0043】本実施形態に係るスイッチングレギュレータは、例えば、出力電流を3Aなどに設定した高出力タイプであるため、エラーアンプ6の位相遅れも大きい。したがって、抵抗 $R1$ およびコンデンサ（容量） $C1$ をIC1へ外付けして位相遅れを補償している。すなわち、IC1には、エラーアンプ6の出力に接続された V_c 端子が設けられており、上記抵抗 $R1$ の一端は、この V_c 端子に接続されると共に、他端は、上記コンデンサ $C1$ を介して接地されている。なお、抵抗 $R1$ の抵抗値およびコンデンサ $C1$ の容量は、エラーアンプ6の位相遅れを補償できる値にそれぞれ設定される。

【0044】さらに、スイッチングレギュレータのオン/オフを外部から制御するために、NPNトランジスタ（休止指示手段） $Q1$ が設けられている。当該トランジスタ $Q1$ のコレクタは、上記抵抗 $R1$ とコンデンサ $C1$ との接続点へつながれ、エミッタは、接地されている。このトランジスタ $Q1$ のベースに V_{in} 以上の電圧を印加することによって、 V_c 端子の電位を略GNDレベルにでき、スイッチングレギュレータのオン/オフをIC1へ指示できる。

【0045】また、IC1の内部には、IC1の内部電源である定電圧回路（低消費電流手段）8と、上記 V_c 端子の電位に応じて定電圧回路8の動作/非動作を制御するオン/オフ回路（出力制御手段）9と、スイッチングレギュレータを V_c 端子の電位に応じてソフトスタートさせるソフトスタート回路（ソフトスタート手段）1

10

20

30

40

50

0とが設けられている。

【0046】上記定電圧回路8は、入力端子 V_{in} から供給される電力を一定の電圧 V_c としてIC1の各部へ供給できる。また、オン/オフ回路9は、上記エラーアンプ6の出力電圧 V_{ea} を監視し、出力電圧 V_{ea} が、予め定められたオフレベルに達しない場合、定電圧回路8を休止させ、予め定められたオンレベルを超えた場合、定電圧回路8を動作させる。これにより、エラーアンプ6の出力電圧 V_{ea} 、すなわち、 V_c 端子の電位を下げることによって、IC1の各部を停止させることができ、オフ時の低消費電流機能を実現している。

【0047】また、ソフトスタート回路10は、エラーアンプ6の出力電圧 V_{ea} を監視し、出力電圧 V_{ea} が安定動作レベルに達するまでの間、例えば、制御回路3へ印加するエラーアンプ6の出力電圧を制御するなどして、制御回路3が制御するスイッチング素子2の導通時間を制限する。これにより、図示しない負荷へ印加する電圧 V_c は、緩やかに上昇し、ソフトスタート機能を実現できる。

【0048】図示しない負荷へ電力供給を開始した場合、平滑化回路5を構成するコンデンサへの充電電流などによって、スイッチング素子2へ過大な電流が流れたとしても、スイッチング素子2の導通時間は制限されているので、スイッチングレギュレータや負荷の損傷を防止できる。

【0049】さらに、IC1は、 V_{in} 端子から電力が供給されている間、エラーアンプ6の出力へ常に所定の定電流 I_{11} を流し込む第1定電流源（定電流源）11と、定電圧回路8が動作している場合に、上記出力へ所定の定電流 I_{12} を流し込む第2定電流源（定電流源）12とを備えている。第1定電流源11および第2定電流源12は、外付けのコンデンサC1に電荷が蓄積されていない場合、当該コンデンサC1へ所定の速度で電荷を蓄積できる。

【0050】第1定電流源11の電流値 I_{11} は、オフ時の消費電流に影響するので、消費電流を削減するためには、できるだけ少ないことが求められる。一方、電流値 I_{11} を小さく設定すると、コンデンサC1へ電荷を蓄積する速度が遅くなり、電源を投入してから、あるいは、トランジスタQ1を遮断してからオン/オフ回路9が定電圧回路8を動作させるまでの時間である応答時間が長くなり、実用的とは言えない。したがって、消費電流の低減と応答時間の短縮との双方を満足させるために、本実施形態に係るスイッチングレギュレータでは、第1定電流源11の電流値 I_{11} と第2定電流源12の電流値 I_{12} との比は、3：7から4：6程度に設定されている。

【0051】さらに、エラーアンプ6の出力と V_{in} 端子との間には、高逆耐圧のエビベースダイオード13が設けられており、 V_{in} が短絡した場合に、IC1に外付けされたコンデンサC1へ蓄積されている電荷を放出で

きる。

【0052】IC1上に形成されたエビベースダイオード13は、例えば、図2および図3に示すような構造を備えており、p型基板13a上にヒ素やアンチモンなどの不純物を拡散させて形成した埋込層13bを備えている。p型基板13aおよび埋込層13b上には、さらに、エビタキシャル層13cが形成される。エビタキシャル層13cの表面には、所定の距離をおいて、p型の不純物を注入したp型不純物層13d、およびn型の不純物を注入したn型不純物層13eが形成されている。なお、両不純物層13d・13eは、エビタキシャル層13cを介して、埋込層13bの上方に位置している。また、両不純物層13d・13e上には、それぞれ電極13f・13fが形成され、他の回路と接続されている。

【0053】ところで、従来のスイッチングレギュレータでは、オフ時の低消費電流機能の回路（図12参照）とソフトスタート機能の回路（図13参照）とから、何れか一方を選択して外付けしている。したがって、ダイオードは、上記ソフトスタート機能の回路のみに外付けされている。

【0054】ところが、本実施形態に係るスイッチングレギュレータでは、図1に示すように、IC1の V_c 端子に外付けした抵抗R1およびコンデンサC1によって、エラーアンプ6の位相補償とオフ時の低消費電流機能とソフトスタート機能とを実現できる。それゆえ、エビベースダイオード13をIC1内に設けることにより、外付けする部材の数をさらに削減できる。

【0055】上記構成において、図1に示すトランジスタQ1を導通あるいは遮断した場合のスイッチングレギュレータ各部の動作を、エラーアンプ6の出力電圧 V_{ea} 〔V〕と経過時間 t 〔秒〕との関係を示す図4のグラフを中心に説明する。

【0056】トランジスタQ1のベースに所定の電圧を印加すると、トランジスタQ1が導通する。したがって、コンデンサC1に蓄積された電荷が放出され、IC1の V_c 端子の電位、すなわち、エラーアンプ6の出力電圧 V_{ea} は、略GNDレベルになる。この状態では、出力電圧 V_{ea} が所定のオフレベル以下となるので、オン/オフ回路9は、IC1の電力源である定電圧回路8を停止させる。したがって、定電圧回路8を電力源として動作するIC1の各回路は、停止している。この結果、IC1の消費電流は、定電圧回路8のオン時に比べて大幅に低減され、オフ時の低消費電流機能を実現できる。ただし、オン/オフ回路9および第1定電流源11は、 V_{in} 端子から供給される入力電圧によって動作するので、定電圧回路8の停止時も動作している。

【0057】ベース電圧を下げるなどして、トランジスタQ1を遮断すると、上記第1定電流源11は、IC1の V_c 端子、および抵抗R1を介して、外付けのコンデ

ンサC1へ所定の定電流 I_{11} を供給する。この状態では、第2定電流源12がコンデンサC1へ電流を供給していないので、オフ時の充電電流 $I_{chg1} = I_{11}$ となり、低く抑えられている。したがって、コンデンサC1の両端電圧、すなわち、IC1の V_c 端子へ接続されたエラーアンプ6の出力電圧 V_{ea} は、緩やかに上昇する(図4に示す時間が t_1 以下の期間)。

【0058】充電を開始してから時間 t_1 が経過し、出力電圧 V_{ea} が予め定められたオンレベルに達すると、オン/オフ回路9は、定電圧回路8を動作させる。定電圧回路8は、IC1の各部へ電力を供給し、第2定電流源12を含むIC1の各回路が動作を開始する。この第2定電流源12は、第1定電流源11と同様にコンデンサC1へ所定の定電流 I_{12} を供給する。したがって、オン時の充電電流 I_{chg2} は、 $I_{11} + I_{12}$ となり、オフ時の充電電流 I_{chg1} に比べ増加する。この結果、エラーアンプ6の出力電圧 V_{ea} は、時間 t_1 までの期間に比べて急激に上昇する(図4に示す時間が t_1 から t_2 の期間)。

【0059】一方、出力電圧 V_{ea} が上昇して、所定のソフトスタートレベルに達すると、ソフトスタート回路10は、動作を開始し、出力電圧 V_{ea} が予め定められた安定動作レベルに達するまでの間、例えば、制御回路3へ印加する電圧を上昇させるなどして、スイッチング素子2の導通時間を制限する。したがって、図5に示すように、時間 t_1 から時間 t_2 までの間、IC1の出力電圧波形 V_{out} には、電圧が印加されない期間が現れる。この結果、スイッチングレギュレータが図示しない負荷への電力供給を開始した直後の過渡期において、例えば、平滑化回路5のコンデンサへの充電電流などによって、不所望に過大な電流がスイッチング素子2を流れた場合にもスイッチング素子2を含むスイッチングレギュレータの破損を防止でき、ソフトスタート機能を実現できる。

【0060】図4に示すように、充電を開始してから時間 t_2 が経過して、出力電圧 V_{ea} が安定動作レベルに達すると、ソフトスタート回路10は、動作を停止する。この状態では、スイッチングレギュレータは、出力電圧 V_o を分圧して得られる帰還電圧 V_{ao} 、に応じて、スイッチング素子2の導通/遮断を制御し、図示しない負荷へ通常通り電力を供給する。通常の運転時において、エラーアンプ6の出力に生ずる位相遅れは、IC1の V_c 端子に接続された抵抗R1およびコンデンサC1によって補償される。すなわち、図6に示すように、エラーアンプ6の位相は、周波数が上がるに従って、一度下がった後に上がり、エラーアンプ6のゲインが落ちてくる周波数において位相が戻っている。

【0061】また、図1に示す入力電源4を停止させるなどして、 V_{1a} 端子へ印加される電圧が略GNDレベルになった場合、トランジスタQ1のベース電位に関わりなく、エミッタベースダイオード13は導通し、コンデン

サC1に蓄積された電荷を放出する。この状態では、 V_c 端子の電圧、すなわち、エラーアンプ6の出力電圧 V_{ea} は、略GNDレベルとなり、予め定められたオン/オフ回路9のオフレベル以下になっている。したがって、前述のトランジスタQ1を導通させた場合と略同様に、IC1の電力源である定電圧回路8は停止しており、スイッチングレギュレータの消費電流を低減している。なお、端子 V_{1a} から電力が供給されない場合は、オン/オフ回路9および第1定電流源11も停止している。

【0062】上記入力電源4から V_{1a} 端子へ電圧が印加されると、オン/オフ回路9および第1定電流源11が動作するので、前述のトランジスタQ1を遮断した場合と同様に、スイッチングレギュレータは、動作を開始する。

【0063】ここで、図4に示す時間 t_1 、および t_2 とコンデンサC1への充電電流との関係について説明する。第1定電流源が動作し第2定電流源が動作していない場合のコンデンサC1への充電電流を $I_{chg1} = I_{11}$ [A]、両定電流源11・12が動作している場合の充電電流を $I_{chg2} = I_{11} + I_{12}$ [A]とすると、 $t_1 = C1 \cdot V1 / I_{chg1}$ [秒]、 $t_2 = t_1 + C1 (V2 - V1) / I_{chg2}$ [秒]となる。なお、C1 [F]は、コンデンサC1の容量であり、V1 [V]は、オン/オフ回路9のオンレベル、V2 [V]は、エラーアンプ6の安定動作レベルである。

【0064】オフ時の消費電流を低減するという意味では、上記充電電流 I_{chg1} 、すなわち第1定電流源11の出力電流 I_{11} は、できるだけ小さいことが望まれる。ところが、出力電流 I_{11} が小さすぎると、定電圧回路8が動作するまでの時間 t_1 が長くなり、電源を投入してから、スイッチングレギュレータの出力がでるまでの応答時間が長くなる。

【0065】したがって、本実施形態に係るスイッチングレギュレータでは、 I_{chg1} / I_{chg2} 、すなわち、 $I_{11} / (I_{11} + I_{12})$ が0.3から0.4程度になるように、第1定電流源11の出力電流 I_{11} および第2定電流源12の出力電流 I_{12} を設定し、オフ時の消費電流の低減と応答時間の短縮とのバランスを取っている。

【0066】コンデンサC1の充電電流が、オフ時とオン時とで異なっているので、ソフトスタート用の容量と位相補償用の容量とを共用できる。したがって、従来例のように、ダイオード72を設けなくてもよい。この結果、制御回路3の備える発振器が出力する三角波のローレベルや、ソフトスタート回路10のソフトスタートレベル、およびオン/オフ回路9のオン/オフレベルを従来の低出力タイプのスイッチングレギュレータと同様に設定できる。これにより、低電圧で動作できるという特徴を損なうことなく、位相補償、オフ時の低消費電流機能、およびソフトスタート機能を、1つの V_c 端子を用いて実現できる。

【0067】続いて、オン／オフ回路9および第1定電流源11について、図7の回路図に基づき、さらに詳細に説明する。

【0068】すなわち、第1定電流源11は、図1に示す V_{11} 端子へ接続された電源ライン21から、オン／オフ回路9および第1定電流源11へ、予め定められた一定の電流を供給するカレントミラー回路11aを備えている。

【0069】上記カレントミラー回路11aは、ベースが共通のPNPトランジスタ Q_{11} ないし Q_{16} からなり、各トランジスタ Q_{11} ないし Q_{16} のエミッタは、図1に示す V_{11} 端子に接続された電源ライン21へ、抵抗を介して接続されている。また、上記トランジスタ Q_{11} のベースとコレクタとは、互いに接続されており、各トランジスタ Q_{11} ないし Q_{16} は、図1に示す入力電源4が V_{11} 端子へ所定の電圧を印加している間、トランジスタ Q_{11} のコレクタ電流と同一のコレクタ電流を出力できる。

【0070】また、第1定電流源11は、上記トランジスタ Q_{11} のコレクタ電流 I_{11} を決定し、カレントミラー回路11aの出力電流 I_{11} を定めるNPNトランジスタ Q_{12} および Q_{13} と、トランジスタ Q_{12} のベース電位を一定の値に保持する定電圧回路11bと、トランジスタ Q_{11} のコレクタへ過大な電流が流れている場合にトランジスタ Q_{11} のベースへ電流を供給する電流検出回路11cとを備えている。

【0071】上記トランジスタ Q_{12} および Q_{13} に共通のコレクタは、上記トランジスタ Q_{11} のコレクタへ接続されると共に、両者に共通のエミッタは、抵抗を介して接地されている。したがって、カレントミラー回路11aの出力電流 I_{11} は、トランジスタ Q_{12} のコレクタ電流とトランジスタ Q_{13} のコレクタ電流との和に等しくなる。

【0072】上記定電圧回路11bは、ベースとコレクタとが互いに接続されたNPNトランジスタ Q_{17} を備えている。トランジスタ Q_{17} のコレクタは、抵抗を介して上記電源ライン21に接続され、エミッタは、GNDライン20へ接地されている。また、トランジスタ Q_{17} のコレクタは、トランジスタ Q_{12} のベースにも接続されている。したがって、トランジスタ Q_{17} は、電源ライン21へ所定の電圧 V_{11} が印加されている間、トランジスタ Q_{11} のコレクタ電位、すなわち、トランジスタ Q_{11} のベース電位を、一定の V_{11} に保つことができる。なお、 V_{11} は、トランジスタ Q_{11} のベース－エミッタ間電圧である。

【0073】一方、電流検出回路11cは、エミッタ面積が1:4に設定され、共通のベースを持つNPNトランジスタ Q_{20} および Q_{21} からなるカレントミラー回路から主として構成されている。両トランジスタ Q_{20} および Q_{21} のコレクタへは、上記カレントミラー回路11aを構成するトランジスタ Q_{12} および Q_{13} から、それぞれ同一のコレクタ電流 I_{11} が供給されると共に、トランジ

スタ Q_{21} のベースとコレクタとは互いに接続されている。これにより、トランジスタ Q_{20} および Q_{21} は、カレントミラーのバランスが保たれている間、同一の電流を吸収できる。さらに、トランジスタ Q_{20} とトランジスタ Q_{21} との接続点には、上記トランジスタ Q_{12} のベースが接続されている。

【0074】また、トランジスタ Q_{21} のエミッタは、抵抗 R_{11} を介して接地され、トランジスタ Q_{20} のエミッタは、そのままGNDライン20へ接地されている。トランジスタの V_{11} の特性として、 $V_{11} = (kT/q) \cdot \ln(I_1/I_2)$ の関係が成り立つので、トランジスタ Q_{20} および Q_{21} からなるカレントミラー回路のバランスは、トランジスタ Q_{21} のエミッタ電位が $(kT/q) \cdot \ln(4)$ 以下の間、すなわち、トランジスタ Q_{12} およびトランジスタ Q_{13} のコレクタ電流 I_{11} が、 $I_{11} \leq (kT/q) \cdot \ln(4) / R_{11}$ の間、保持される。なお、上記式中、 k はボルツマン定数、 q は電子の電荷量、 T は絶対温度である。

【0075】上記構成において、図1に示す V_{11} 端子を介し、電源ライン21へ電圧が印加されると、カレントミラー回路11aを構成するトランジスタ Q_{12} ないし Q_{13} は、トランジスタ Q_{11} と同一のコレクタ電流 I_{11} を出力する。

【0076】電流検出回路11cを構成するトランジスタ Q_{20} および Q_{21} のバランスが保たれている間、トランジスタ Q_{12} から供給されるコレクタ電流 I_{11} は、トランジスタ Q_{20} へ吸収され、トランジスタ Q_{13} のベースへは、電流が供給されない。したがって、カレントミラー回路11aの出力電流 I_{11} 、すなわち、トランジスタ Q_{12} のコレクタ電流 I_{11} は、トランジスタ Q_{12} のコレクタ電流によって略決定される。

【0077】カレントミラー回路11aの出力電流 I_{11} が増加し、トランジスタ Q_{20} およびトランジスタ Q_{21} へ供給される電流が $(kT/q) \cdot \ln(4) / R_{11}$ を超えると、両トランジスタ Q_{20} および Q_{21} のバランスが崩れる。したがって、トランジスタ Q_{20} は、カレントミラー回路11aの出力電流 I_{11} を供給しきれず、残余の電流がトランジスタ Q_{13} のベースへ流れる。この結果、トランジスタ Q_{13} のコレクタ電流が増加し、エミッタ電位を上昇させる。

【0078】上記トランジスタ Q_{12} とエミッタが共通のトランジスタ Q_{13} は、定電圧回路11bによりベース電位が V_{11} に保たれているので、エミッタ－ベース間の電位差は減少し、カレントミラー回路11aの出力電流 I_{11} が減少する。この結果、カレントミラー回路11aの出力電流 I_{11} は、 $I_{11} = (kT/q) \cdot \ln(4) / R_{11}$ の一定値に保たれる。

【0079】上記出力電流 I_{11} は、電流検出回路11cを構成するトランジスタ Q_{20} および Q_{21} のエミッタ面積の比と抵抗 R_{11} の抵抗値とによって決められ、入力電圧

V_{EA} が変動しても、一定の値に保たれる。

【0080】一方、オン/オフ回路9は、オン/オフ制御の基準電圧を生成する定電圧回路9a、および、図1に示すエラーアンプ6の出力電位 V_{EA} と、この基準電圧とを比較する比較回路9bから主として構成されている。比較回路9bは、上記 V_{EA} と基準電圧との比較結果に応じて、NPNトランジスタ Q_{22} のベース電流を制御して、定電圧回路8のオン/オフを指示している。

【0081】上記定電圧回路9aは、コレクタとベースとが互いに接続された各NPNトランジスタ Q_{21} および Q_{22} を直列に接続して構成されている。すなわち、トランジスタ Q_{21} のエミッタとトランジスタ Q_{22} のコレクタとが接続されると共に、トランジスタ Q_{22} のコレクタは、カレントミラー回路11aを構成するトランジスタ Q_{11} のコレクタと接続され、トランジスタ Q_{21} のエミッタはGNDライン20へ接続されている。これにより、定電圧回路9aは、カレントミラー回路11aから一定の電流が供給されている間、トランジスタ Q_{22} のコレクタ電位を $2V_{BE}$ に保つことができる。なお、 V_{BE} は、トランジスタ Q_{21} および Q_{22} におけるベース-エミッタ間の電位差である。

【0082】また、上記比較回路9bは、エミッタが共通のPNPトランジスタ Q_{23} および Q_{24} と、ベースが共通のNPNトランジスタ Q_{25} および Q_{26} からなるカレントミラー回路とから主として構成されている。上記トランジスタ Q_{25} のコレクタは、トランジスタ Q_{26} のコレクタに接続され、トランジスタ Q_{25} のコレクタは、トランジスタ Q_{26} のコレクタ、および定電圧回路8のオン/オフを制御するトランジスタ Q_{27} のベースに接続されている。上記トランジスタ Q_{25} のベースとコレクタとが互いに接続されているので、トランジスタ Q_{27} は、トランジスタ Q_{25} と同じ電流をコレクター-エミッタ間へ流すことができる。

【0083】なお、上記トランジスタ Q_{21} および Q_{22} に共通のエミッタは、カレントミラー回路11aを構成するトランジスタ Q_{11} のコレクタへ接続され、該コレクタから一定の電流を受け取ると共に、上記トランジスタ Q_{21} および Q_{22} のエミッタは、GNDライン20に接地されている。

【0084】また、トランジスタ Q_{21} のベースは、定電圧回路9aのトランジスタ Q_{22} のコレクタへ接続されており、その電位 $V_{B(Q21)}$ は、 $2V_{BE}$ に保たれている。一方、トランジスタ Q_{22} のベースは、カレントミラー回路11aを構成するトランジスタ Q_{11} のコレクタと、NPNトランジスタ Q_{25} のコレクタとの接続点につながれている。上記トランジスタ Q_{25} のベースとコレクタとは互いに接続されていると共に、エミッタは、図1に示すエラーアンプ6の出力に接続されており、トランジスタ Q_{26} のコレクタ電位（トランジスタ Q_{25} のベース電位 $V_{B(Q25)}$ ）を、 $V_{EA} + V_{BE}$ に保っている。なお、 V_{BE} は、

トランジスタ Q_{21} のベース-エミッタ間電圧である。

【0085】したがって、図1に示すトランジスタ Q_1 を導通させるなどして、上記エラーアンプ6の出力電位 V_{EA} が略GNDレベルにある場合、トランジスタ Q_{23} のベース電位 $V_{B(Q23)}$ は、略 $1V_{BE}$ となり、 $V_{B(Q23)} > V_{B(Q25)}$ である。この結果、トランジスタ Q_{24} が遮断状態、トランジスタ Q_{25} が導通状態となり、トランジスタ Q_{27} への入力電流（トランジスタ Q_{25} のコレクタ電流）がトランジスタ Q_{26} の入力電流（トランジスタ Q_{25} のコレクタ電流）より多くなる。余った電流は、上記定電圧回路8を制御するトランジスタ Q_{27} のベースへ供給される。この結果、トランジスタ Q_{27} が導通し、定電圧回路8を停止させる。図1に示すIC1の内部電源となる定電圧回路8が停止するので、IC1が消費する電力を抑えることができ、オフ時の低消費電流機能を実現できる。

【0086】また、図1に示すトランジスタ Q_1 を遮断するなどして、上記エラーアンプ6の V_{EA} が上昇すると、トランジスタ Q_{23} のベース電位 $V_{B(Q23)}$ は、略 $1V_{BE}$ から次第に上昇する。 $V_{EA} + V_{BE}$ で示される $V_{B(Q25)}$ が、 $2V_{BE}$ で示されるトランジスタ Q_{21} のベース電位 $V_{B(Q21)}$ を超えた場合（ V_{EA} が V_{BE} を超えた場合）、上記とは逆に、トランジスタ Q_{24} が導通状態へ、トランジスタ Q_{25} が遮断状態へ変化する。したがって、トランジスタ Q_{27} への入力電流（トランジスタ Q_{25} のコレクタ電流）は、トランジスタ Q_{26} を介してGNDライン20へ流れる。この結果、上記トランジスタ Q_{27} のベースへは電流が供給されなくなり、トランジスタ Q_{27} が遮断状態となる。これにより、定電圧回路8が動作し、図1に示すIC1の各部へ電力を供給できる。

【0087】この結果、オン/オフ回路9は、エラーアンプ6の出力電位 V_{EA} が V_{BE} に満たない場合、定電圧回路8を停止させて上記IC1が消費する電力を低減すると共に、 V_{EA} が V_{BE} を超えた場合、定電圧回路8を動作させることができる。なお、オン/オフ回路9のオンレベルは略 V_{BE} である。

【0088】さらに、エラーアンプ6および第2定電流源12について、図8の回路図に基づき、詳細に説明する。

【0089】第2定電流源12は、ベースが共通のPNPトランジスタ Q_{31} および Q_{32} を有するカレントミラー回路から主として構成されている。両トランジスタ Q_{31} および Q_{32} のエミッタは、定電圧回路8の動作中、一定の電位 V_{22} に保たれる電源ライン22に接続され、トランジスタ Q_{32} のベースとコレクタとは、互いに接続されている。したがって、トランジスタ Q_{31} は、トランジスタ Q_{32} のコレクタ電流と電流 I_{12} と同じ電流 I_{12} をコレクタから出力できる。

【0090】トランジスタ Q_{32} のコレクタは、ベースとコレクタとを互いに接続したNPNトランジスタ Q_{33} 、

および抵抗 R_{12} を介してGNDライン20へ接地されている。したがって、抵抗 R_{12} の両端間電圧は、 $(V_s - 2 \cdot V_{BE})$ で示される一定の電圧となり、トランジスタ Q_{12} のコレクタ電流 I_{12} は、 $(V_s - 2 \cdot V_{BE}) / R_{12}$ となる。なお、上記 V_{BE} は、トランジスタ Q_{12} 、およびトランジスタ Q_{13} のベース-エミッタ間電圧である。

【0091】この結果、第2定電流源12は、図1に示す定電圧回路8が電圧 V_s を電源ライン22へ印加している間、 $I_{12} = (V_s - 2 \cdot V_{BE}) / R_{12}$ で示される一定の電流 I_{12} を出力する。上記定電圧回路8が V_s を一定に保つと共に各 V_{BE} が一定なので、第2定電流源12の出力電流 I_{12} は、抵抗 R_{12} の大きさによって決定される。なお、定電圧回路8が停止している場合、出力電流 I_{12} は0になる。

【0092】一方、エラーアンプ6は、図1に示す0 A_0 、端子から供給される電流に関わらず、0 A_0 、端子へ印加される帰還電圧と同じ電圧を出力できる入力回路6aを備えている。上記入力回路6aを構成するNPNトランジスタ Q_{16} および Q_{17} は、両者に共通のエミッタが抵抗を介してGNDライン20へ接地されている。また、両トランジスタのコレクタは、それぞれトランジスタ Q_{18} 、および Q_{19} からなるカレントミラー回路に接続され、トランジスタ Q_{17} のコレクタへは、トランジスタ Q_{16} のコレクタ電流と同一の電流が供給される。

【0093】また、トランジスタ Q_{16} のベースには、上記帰還電圧 V_{A0} が印加される。一方、トランジスタ Q_{17} のベースは、NPNトランジスタ Q_{18} を介して電源ライン22へ接続されていると共に、抵抗を介してGNDライン20へ接地されている。さらに、上記トランジスタ Q_{16} のベースは、トランジスタ Q_{17} と、上記カレントミラー回路を構成するトランジスタ Q_{18} との接続点に接続されている。

【0094】したがって、トランジスタ Q_{16} から供給される電流をトランジスタ Q_{17} が吸収しきれない場合、すなわち、トランジスタ Q_{16} のベース電位 V_{A0} に比べてトランジスタ Q_{17} のベース電位が低い場合、ベースへ流れる電流によってトランジスタ Q_{16} が導通し、入力回路6aの出力電位であるトランジスタ Q_{17} のベース電位を上昇させることができる。この結果、入力回路6aは、図1に示す0 A_0 、端子から供給される電流値に関わらず、0 A_0 、端子へ印加される帰還電圧 V_{A0} と同一の電圧を出力できる。

【0095】また、エラーアンプ6は、エミッタが共通のNPNトランジスタ Q_{20} および Q_{21} から構成され、上記入力回路6aの出力電圧 V_{A0} と基準電圧 V_{REF} とを比較する比較回路6b、PNPトランジスタ Q_{41} および Q_{42} からなり、上記トランジスタ Q_{20} へ供給する電流と同一の電流を出力するカレントミラー回路6c、および、カレントミラー回路6cから供給される電流と同じ電流をエラーアンプ6の出力から吸収すると共に、低出

力時に位相補償を行う内部位相補償回路6dを備えている。

【0096】エラーアンプ6の出力と上記トランジスタ Q_{19} のベースとの間に介在する抵抗によって、エラーアンプ6の出力電流のうち、内部位相補償回路6dで吸収しきれなかった電流は、抵抗を介してトランジスタ Q_{19} のベースへ流れ、トランジスタ Q_{19} のベース電位を上昇させるので、トランジスタ Q_{19} のコレクタ電流は、エラーアンプ6の出力へ流し込まれる電流 I_{CHG2} と同一に保たれる。

【0097】また、比較回路6bを構成するトランジスタ Q_{41} のベースは、抵抗を介して、入力回路6aの出力へ接続されている。一方、トランジスタ Q_{41} と対になるトランジスタ Q_{40} のベースは、例えば、図1に示す定電圧回路8を分圧するなどして生成した基準電圧 V_{REF} により一定に保たれている。また、トランジスタ Q_{40} のコレクタは、抵抗を介して上記定電圧回路8が一定の電圧 V_s を印加する電源ライン22へ接続されている。したがって、トランジスタ Q_{41} および Q_{40} のエミッタ電位は、 $V_{REF} - V_{BE}$ となり、上記抵抗 R_{11} に流れる電流 I_{11} は、 $I_{11} = (V_{REF} - V_{BE}) / R_{11}$ に示すように、抵抗 R_{11} の抵抗値 R_{11} により決められる。

【0098】一方、トランジスタ Q_{19} のベース電位である V_{A0} は、 $V_{A0} = V_{REF} - V_{BE(Q19)} + V_{BE(Q40)}$ で表される。したがって、 $V_{A0} = V_{REF}$ とするためには、 $V_{BE(Q19)} = V_{BE(Q40)}$ である必要がある。なお、 $V_{BE(Q19)}$ は、トランジスタ Q_{19} のベース-エミッタ間電圧であり、 $V_{BE(Q40)}$ は、トランジスタ Q_{40} のベース-エミッタ間電圧である。ここで、トランジスタの V_{BE} の特性として、 $V_{BE} = (kT/q) \cdot \ln(I_c / I_s)$ の関係が成り立つので、トランジスタ Q_{19} のコレクタ電流 I_{CHG2} とトランジスタ Q_{40} のコレクタ電流 I_{11} との間には、 $I_{CHG2} = I_{11}$ の関係が成り立つ。この結果、両トランジスタ Q_{19} および Q_{40} に共通のエミッタに接続された抵抗 R_{11} を流れる電流 I_{11} は、 $I_{11} = I_{CHG2} + I_{11} = 2 \cdot I_{CHG2}$ となり、 I_{CHG2} は、 I_{11} によって制限される。

【0099】また、 $I_{CHG2} = I_{11} + I_{12}$ であり、 $I_{11} : I_{12}$ は、3:7~4:6の間に設定されている。前述したように、各電流 I_{11} ないし I_{12} は、 $I_{11} = (kT/q) \cdot \ln(4) / R_{11}$ 、 $I_{12} = (V_s - 2 \cdot V_{BE}) / R_{12}$ 、 $I_{11} = (V_{REF} - V_{BE}) / R_{11}$ であり、抵抗 R_{11} 、 R_{12} および R_{13} の値により、それぞれ設定される。

【0100】したがって、本実施形態に係るIC1では、各抵抗 R_{11} ないし R_{13} をIC1内部に形成する際、同形状に形成すると共に近隣へ配置している。これにより、各抵抗 R_{11} ないし R_{13} を形成する際のプロセスばらつきを抑制できる。加えて、IC1の動作中、各抵抗 R_{11} ないし R_{13} の温度も略一定となる。この結果、各抵抗

R_{11} ないし R_{12} の抵抗値をより正確に設定でき、上記定電流 I_{11} ないし I_{12} の比をより正確に保つことができる。

【0101】また、上記内部位相補償回路6dは、直列に接続された抵抗 R_{11} および R_{12} を介して、互いにベースが接続されたNPNトランジスタ Q_{11} および Q_{12} から主として構成されている。トランジスタ Q_{11} のベースとコレクタとはコンデンサ C_{12} を介して互いに接続されていると共に、上記抵抗 R_{11} および R_{12} の接続点とトランジスタ Q_{11} のコレクタとは互いに接続されており、トランジスタ Q_{11} のコレクタは、トランジスタ Q_{12} のコレクタと同じ電流を吸収できる。

【0102】さらに、内部位相補償回路6dは、抵抗 R_{11} および R_{12} とコンデンサ C_{12} とによって、エラーアンプ6の位相遅れを補償している。エラーアンプ6の出力が低い場合は、内部位相補償回路6dでも位相を補償できるが、エラーアンプ6の出力が高くなるに従って、エラーアンプ6の位相遅れも大きくなるので、図1に示す外付けの抵抗 R_1 およびコンデンサ C_1 が必要となる。

【0103】以上のように、本実施形態に係るスイッチングレギュレータ用のIC1には、図1に示すように、負荷（図示せず）へ供給する電圧あるいは電流に基づいて生成される帰還電圧 V_{fb} と基準電圧 V_{ref} とを比較するエラーアンプ6、および、該エラーアンプ6の出力に接続された V_c 端子が設けられている。また、上記 V_c 端子は、抵抗 R_1 およびコンデンサ C_1 を介して接地されており、エラーアンプ6の位相遅れを補償している。加えて、コンデンサ C_1 に蓄積された電荷を放出するか否かを制御するトランジスタ Q_1 が設けられている。さらに、IC1は、 V_c 端子の電位に応じて定電圧回路8の動作/停止を制御し、オフ時の低消費電流機能を実現するオン/オフ回路9と、 V_c 端子の電位に応じて、負荷への電力の供給開始時に、スイッチングレギュレータを保護するソフトスタート回路10とを備えている。加えて、 V_{11} 端子から電力が供給されている間、一定の電流 I_{11} を V_c 端子へ供給する第1定電流源11と、定電圧回路8の動作時に V_c 端子へ定電流 I_{12} を流し込む第2定電流源12とを備えており、 V_c 端子に接続されたコンデンサ C_1 の充電電流は、定電圧回路8の動作時と停止時とで、それぞれ異なる値に設定されている。

【0104】それゆえ、IC1内に形成することが困難な容量を持つ、位相補償用のコンデンサとソフトスタート充電用のコンデンサとを共用でき、上記コンデンサを接続する V_c 端子を用いてスイッチングレギュレータのオン/オフを制御するオン/オフ機能、およびオフ時の低消費電流機能を実現できる。したがって、位相補償、オフ時の低消費電流機能、および、ソフトスタート機能を、1つの V_c 端子を用いて実現でき、IC1の端子の数を従来と同じに保つことができると共に、IC1に外

付けするコンデンサの数を削減できる。この結果、位相補償をIC1へ外付けしたコンデンサで行うスイッチングレギュレータにおいて、オフ時の低消費電流機能およびソフトスタート機能を持つスイッチングレギュレータを容易に作成できる。また、部品数が削減できるので、製作時のコストを低減できると共に信頼性を向上できる。

【0105】また、オフ時の充電電流 I_{chg1} とオン時の充電電流 I_{chg2} とをそれぞれ別に設定できるので、入力電源4の動作開始時、あるいは、トランジスタ Q_1 の遮断時から、負荷への電力供給を開始するまでの応答時間の短縮と、オフ時の消費電流の低減との双方を満足させることができる。

【0106】なお、本実施形態に係るスイッチングレギュレータでは、第1定電流源11および第2定電流源12とを設けて、充電電流 I_{chg1} および I_{chg2} を設定しているが、これに限るものではない。例えば、1つの定電流源において、出力電流を決める抵抗を可変して、充電電流 I_{chg1} および I_{chg2} を設定してもよい。

【0107】ただし、第1定電流源11と第2定電流源12とを設けると共に、オン/オフ回路9が定電圧回路8を停止させている場合、第2定電流源12を停止させることによって、オフ時におけるIC1の消費電流をより削減できる。

【0108】さらに、オフ時の充電電流 I_{chg1} と、オン時の充電電流 I_{chg2} とを、 I_{chg1}/I_{chg2} が0.3以上0.4以下になるように設定することによって、オフ時の消費電流の低減と応答時間の短縮との双方を、より高いレベルで満足させるスイッチングレギュレータを実現できる。

【0109】また、エラーアンプ6の出力と V_{11} 端子との間に介在する高逆耐圧のエビベースダイオード13をIC1内に設けることにより、 V_{11} 端子に印加される電圧が低い場合に、トランジスタ Q_1 のベース電位に関わりなく、コンデンサ C_1 に蓄積された電荷を放出できる。IC1の外付け部品をさらに削減できるので、スイッチングレギュレータをより容易に製作でき、信頼性をさらに向上できる。

【0110】加えて、本実施形態に係るスイッチングレギュレータでは、第1定電流源11および第2定電流源12の出力電流 $I_{11} \cdot I_{12}$ と、図8に示すエラーアンプ6の内部電流 I_{11} とを、抵抗 R_{11} ないし R_{12} の抵抗値によって、それぞれ決定している。さらに、これらの抵抗 R_{11} ないし R_{12} をIC1内に形成する際に、近隣に配置すると共に、各抵抗 R_{11} ないし R_{12} を同形状で形成している。これにより、各抵抗 R_{11} ないし R_{12} を形成する際のプロセスばらつきを抑制できる。また、IC1の動作中、各抵抗 R_{11} ないし R_{12} の温度も略一定となる。この結果、各抵抗 R_{11} ないし R_{12} の抵抗値をより正確に設定でき、上記定電流 I_{11} ないし I_{12} の比をより正確に保つ

ことができる。

【0111】なお、本実施形態に係るスイッチングレギュレータでは、エラーアンプ6へ印加する帰還電圧 V_{A0} 、を負荷へ印加する電圧 V 、を分圧して生成し、負荷へ一定の電圧を印加しているが、これに限るものではない。例えば、負荷に直列に電流検出用の抵抗を接続し、該抵抗の両端電圧を帰還電圧 V_{A0} 、としてIC1へ印加してもよい。基準電圧 V_{REF} と帰還電圧 V_{A0} 、とを比較するエラーアンプ6を備えていれば、本実施形態と略同様の効果が得られる。

【0112】また、本実施形態では、降圧型のスイッチングレギュレータについて説明したが、これに限るものではない。例えば、昇圧型など、他の構成のスイッチングレギュレータについても本発明を適用できる。

【0113】

【発明の効果】請求項1の発明に係るスイッチングレギュレータは、以上のように、誤差検出手段の出力電圧に応じて動作する出力制御手段、低消費電流手段、およびソフトスタート手段を備えている。また、上記誤差検出手段の出力は、直列に接続された抵抗および容量を介して接地され、当該誤差検出手段の出力に生じる位相遅れを補償すると共に、誤差検出手段の出力へ電流を流し込む定電流源は、低消費電流手段が消費電流を低減している場合に供給するオフ時の電流値を、低減していない場合の電流値であるオン時の電流値に比べて低く設定している構成である。

【0114】以上の構成により、位相補償用の容量とソフトスタート用の容量とを、誤差検出手段とは別に設けた容量によって共用でき、この容量を接続する誤差検出手段の出力を用いて、スイッチングレギュレータのオン/オフ制御機能、およびオフ時の低消費電流機能を実現できる。したがって、位相補償、オフ時の低消費電流機能、およびソフトスタート機能の全てを、誤差検出手段の出力を用いて行うスイッチングレギュレータを実現できるという効果を奏する。

【0115】また、集積が困難で誤差検出手段とは別に設ける必要のある容量の数を削減できるので、スイッチングレギュレータ全体の部品数を削減できる。したがって、上記各機能を併せ持つ高機能なスイッチングレギュレータの製作が容易になり、製作時のコストを低減できると共に、信頼性を向上できるという効果を奏する。

【0116】加えて、上記定電流源では、オン時の電流値に比べてオフ時の電流値が低く設定されているので、スイッチングレギュレータが実際に電力供給するまで応答時間の短縮と、オフ時の消費電流の低減との双方を満足したスイッチングレギュレータを実現できるという効果を併せて奏する。

【0117】請求項2の発明に係るスイッチングレギュレータは、以上のように、請求項1の発明の構成において、上記定電流源は、一定の電流を常に供給する第1定

電流源と、上記低消費電流手段が消費電流を低減していない場合に所定の定電流を供給する第2定電流源とを備えている構成である。

【0118】それゆえ、低消費電流手段が消費電流を低減している場合には、第2定電流源を停止できる。したがって、オフ時におけるスイッチングレギュレータの消費電流をさらに削減できるという効果を奏する。

【0119】請求項3の発明に係るスイッチングレギュレータは、以上のように、請求項1または2の発明の構成において、上記定電流源は、上記オン時の電流値に対するオフ時の電流値の比率を、0.3以上、0.4以下に設定している構成である。

【0120】それゆえ、請求項1または2の発明の効果に加えて、上記オフ時の消費電流の低減と応答時間の短縮との双方を満足したスイッチングレギュレータを提供できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すものであり、スイッチングレギュレータの要部構成を示すブロック図である。

【図2】上記スイッチングレギュレータにおいて、ICチップ上におけるダイオードのバターンを示す平面図である。

【図3】上記ダイオードの構造を示す、図2のA-A線矢視断面図である。

【図4】上記スイッチングレギュレータにおいて、ソフトスタート時のエラーアンプ出力電位と時間との関係を示すグラフである。

【図5】上記スイッチングレギュレータにおいて、ソフトスタート時における V_{OUT} 端子の出力を示す波形図である。

【図6】上記スイッチングレギュレータにおいて、周波数に対するエラーアンプ部の位相特性およびゲイン特性を示すグラフである。

【図7】上記スイッチングレギュレータにおいて、第1定電流源とオン/オフ回路とを示す回路図である。

【図8】上記スイッチングレギュレータにおいて、第2定電流源とエラーアンプとを示す回路図である。

【図9】従来例を示すものであり、低出力型スイッチングレギュレータの要部構成を示すブロック図である。

【図10】上記低出力型スイッチングレギュレータのエラーアンプ部を示す回路図である。

【図11】他の従来例を示すものであり、高出力型スイッチングレギュレータの要部構成を示すブロック図である。

【図12】上記高出力型スイッチングレギュレータにおいて、オン/オフ回路を動作させる場合の各部の接続方法を示す回路図である。

【図13】上記高出力型スイッチングレギュレータにおいて、ソフトスタート回路を動作させる場合の各部の接

10

20

30

40

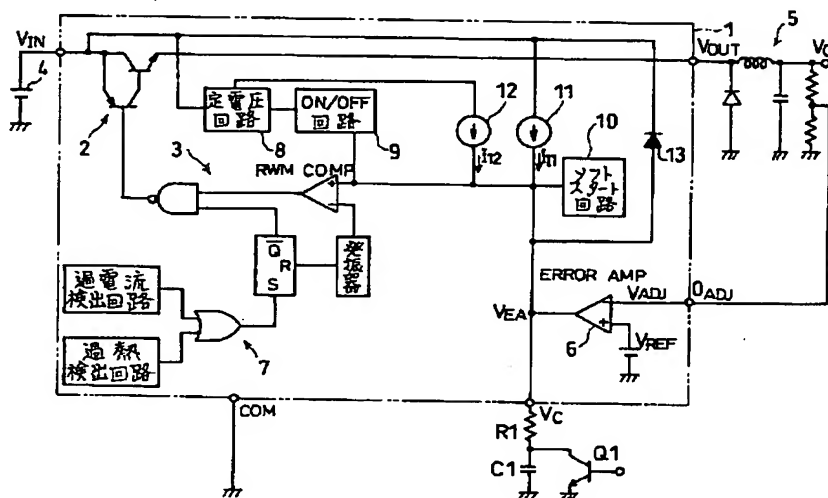
50

* 10 ソフトスタート回路 (ソフトスタート手段)

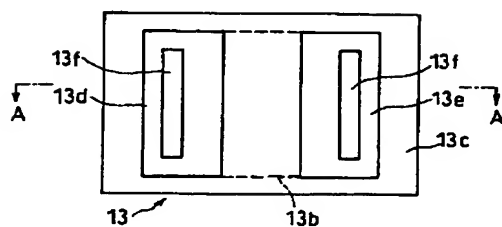
1 1 第1定電流源 (定電流源)

- I 2 第2定電流源 (定電流源)
 R 1 抵抗
 C 1 コンデンサ (容量)
 Q 1 トランジスタ (休止指示手段)

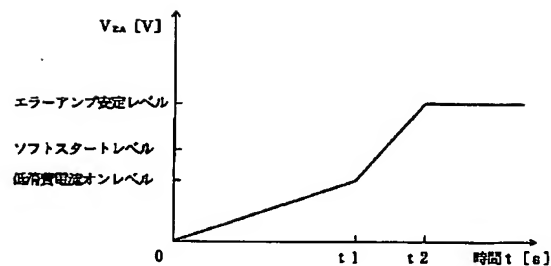
【図 1】



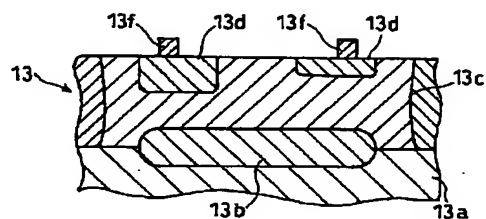
【圖 2】



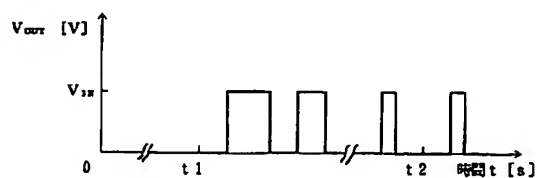
【圖 4】



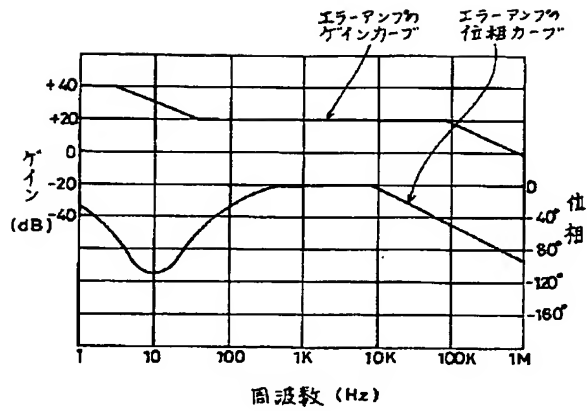
【図 3】



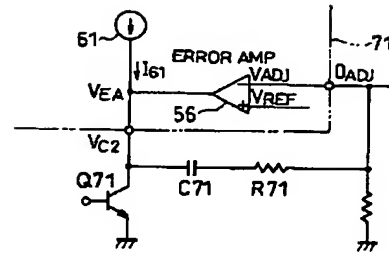
【圖5】



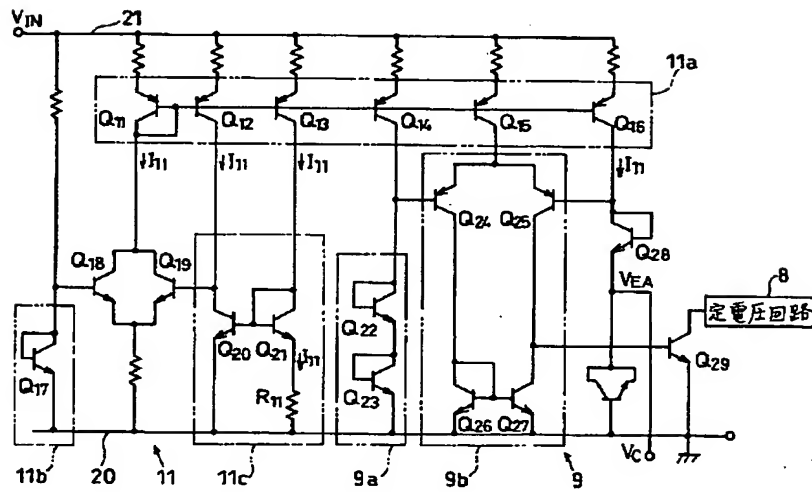
【図6】



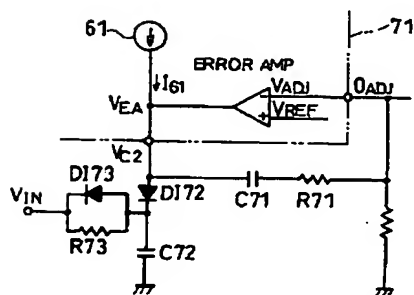
【図12】



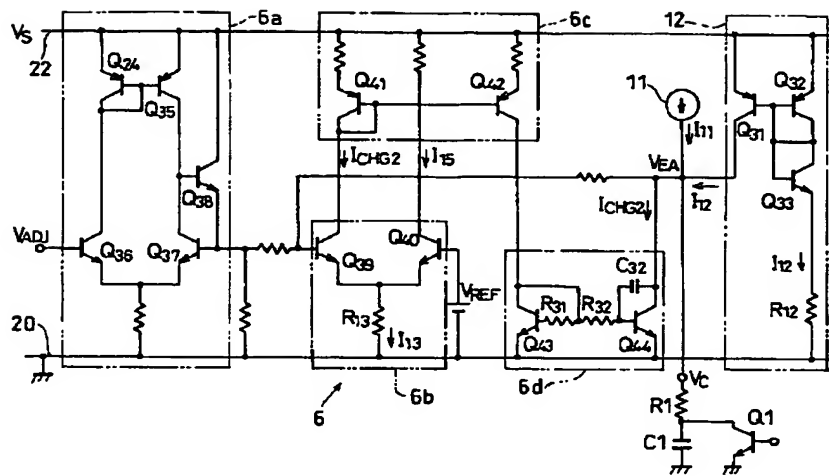
【図7】



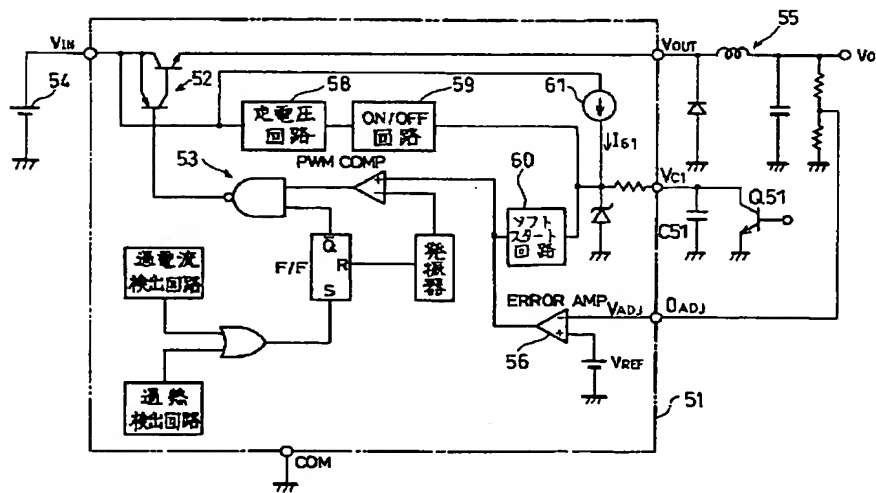
【図13】



【図8】



【図9】



[illegible]